

SEMICONDUCTOR STORAGE DEVICE

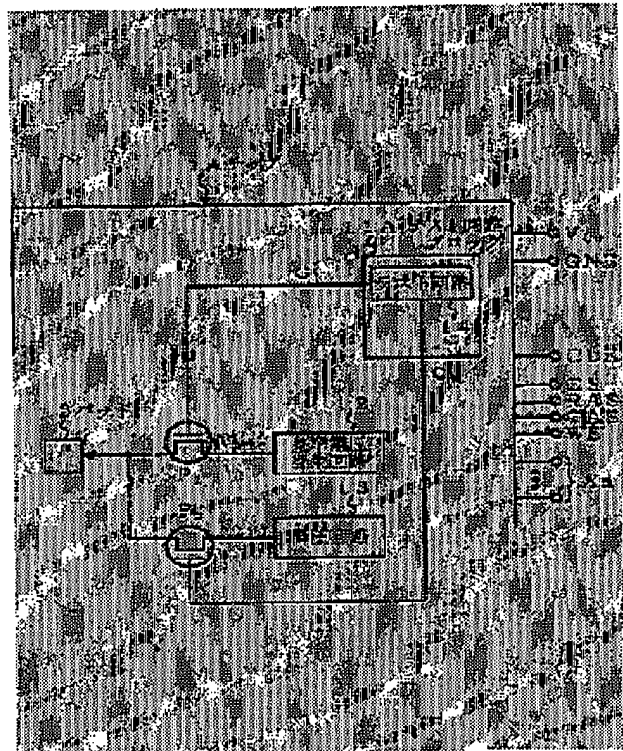
Patent number: JP2001153924
Publication date: 2001-06-08
Inventor: GOTO KOICHI
Applicant: NIPPON ELECTRIC IC MICROCOMPUT
Classification:
- international: G01R31/28
- european:
Application number: JP19990338091 19991129
Priority number(s): JP19990338091 19991129

Report a data error here

Abstract of JP2001153924

PROBLEM TO BE SOLVED: To reduce the area of a chip by reducing the number of pads for monitoring and measuring the output voltage of a reference voltage-generating circuit and the output voltage of a step-down circuit in a semiconductor storage device having on the chip at least the step-down circuit, the reference voltage-generating circuit, a test circuit and a plurality of the pads for connecting the chip to the outside.

SOLUTION: The outputs of the reference voltage-generating circuit 12 and the step-down circuit 13 are connected to the same pad 2 via pMOS transistors P1 and P2, respectively. Complementary output signals C1 and C2 from the test circuit 14 are inputted to gate electrodes of the pMOS transistors P1 and P2, thereby complementarily turning the transistors on and off. Accordingly, one pad is shared in place of conventionally required two pads. Since the MOS transistor as a circuit element is small, an area increase by the test circuit 14 and the pMOS transistors P1 and P2 is negligible in comparison with an area decrease by one pad.



Data supplied from the **esp@cenet** database - Worldwide

引用文献

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-153924
(P2001-153924A)

(43) 公開日 平成13年6月8日 (2001.6.8)

(51) Int.Cl.
G 01 R 31/28

識別記号

F I
G 01 R 31/28ターム(参考)
V 2 G 0 3 2
B A 0 0 1

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平11-338091

(22) 出願日 平成11年11月29日 (1999. 11. 29)

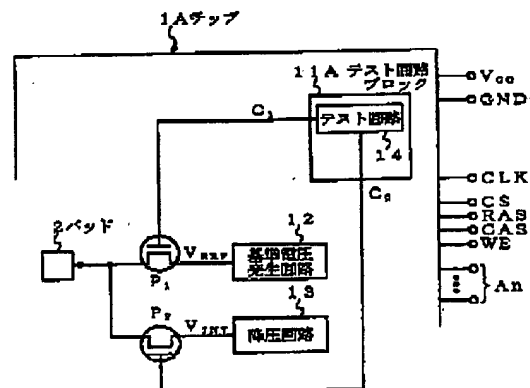
(71) 出願人 000232038
日本電気アイシーマイコンシステム株式会
社
神奈川県川崎市中原区小杉町1丁目403番
53(72) 発明者 後藤 浩一
神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内(74) 代理人 100082935
弁理士 京本 直樹 (外2名)
Fターム(参考) 2G032 AA07 AE14 AJ03 AK11
9A001 BB03 LL05

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】チップ上に、降圧回路と、基準電圧発生回路と、テスト回路と、チップの外部との接続のための複数のパッドとを少なくとも備える半導体記憶装置において、基準電圧発生回路の出力電圧と降圧回路の出力電圧を監視、測定するためのパッド数を削減して、チップ面積を縮小する。

【解決手段】基準電圧発生回路12及び降圧回路13それぞれの出力点を、それぞれpMOSトランジスタP1、P2を介して同一の一つのパッド2に接続し、各々のpMOSトランジスタP1、P2のゲート電極にテスト回路14からの相補の出力信号C1、C2を入力して相補にオン、オフさせることで、従来2つ必要であったパッドを1つのパッドで共用する。回路素子であるMOSトランジスタは小さいので、テスト回路14やpMOSトランジスタP1、P2などによる面積増加は、パッド1個分の面積減少に比べ無視できる。



(2)

特開2001-153924

1

【特許請求の範囲】

【請求項1】 チップ上に、外部から与えられる電源電圧を降圧する降圧回路と、前記電源電圧に依存しない電圧を発生させる基準電圧発生回路と、外部からの信号に応じて半導体記憶装置を試験モードに切り替えて半導体記憶装置の機能を試験するためのテスト回路ブロックと、チップの外部との電気的接続のための複数のパッドとを少なくとも備え、

前記基準電圧発生回路の出力点と一のパッドとの間及び前記降圧回路の出力点と前記一のパッドとの間に各一に

接続されたアナログスイッチと、半導体記憶装置が試験モードにエンタリーしたかしないかに応じて前記アナログスイッチの開閉を切り替える手段であって、一方のアナログスイッチの開閉と他方のアナログスイッチの開閉とが互いに相補を保つように切り替える切替え手段とを有することを特徴とする半導体記憶装置。

【請求項2】 前記アナログスイッチに、MOS電界効果トランジスタを用いたことを特徴とする、請求項1に記載の半導体記憶装置。

【請求項3】 前記MOS電界効果トランジスタがpチャネル型のものであることを特徴とする、請求項2に記載の半導体記憶装置。

【請求項4】 前記MOS電界効果トランジスタがnチャネル型のものであることを特徴とする、請求項2に記載の半導体記憶装置。

【請求項5】 チップ上に、外部から与えられる電源電圧を昇圧して各々の前記nチャネル型MOS電界効果トランジスタのゲート電極に供給する昇圧回路を更に備え、

前記昇圧回路の出力電圧の供給先を前記切替え手段によって相補に切り替えることにより、2つの前記nチャネル型MOS電界効果トランジスタの導通、非導通を相補に切りかえるようにしたことを特徴とする、請求項4に記載の半導体記憶装置。

【請求項6】 チップ上に、外部から与えられる電源電圧を降圧する降圧回路と、

前記電源電圧に依存しない電圧を発生する基準電圧発生回路と、

半導体記憶装置が試験モードにエンタリーしたかしないかによって状態が切り替る互いに相補の2つの信号を出力するテスト回路と、

外部との電気的接続のための複数のパッドと、

前記降圧回路の出力点と前記複数のパッドの内の一つのパッドとの間に電流経路をなすように接続された第1のpチャネル型MOS電界効果トランジスタと、

前記基準電圧発生回路の出力点と前記一つのパッドとの間に電流経路をなすように接続された第2のpチャネル型MOS電界効果トランジスタとを含み、

前記テスト回路の相補の2つの出力信号を、前記第1及

2

び第2のpチャネル型MOS電界効果トランジスタのゲート電極に1つずつ割り当てて入力するようにしたこととを特徴とする半導体記憶装置。

【請求項7】 チップ上に、外部から与えられる電源電圧を降圧する降圧回路と、

前記電源電圧に依存しない電圧を発生する基準電圧発生回路と、

半導体記憶装置が試験モードにエンタリーしたかしないかによって状態が切り替る互いに相補の2つの信号を出力するテスト回路と、

外部との電気的接続のための複数のパッドと、

前記降圧回路の出力点と前記複数のパッドの内の一つのパッドとの間に電流経路をなすように接続された第1のnチャネル型MOS電界効果トランジスタと、

前記基準電圧発生回路の出力点と前記一つのパッドとの間に電流経路をなすように接続された第2のnチャネル型MOS電界効果トランジスタとを含み、

前記テスト回路の相補の2つの出力信号を、前記第1及び第2のnチャネル型MOS電界効果トランジスタのゲート電極に1つずつ割り当てて入力するようにしたこととを特徴とする半導体記憶装置。

【請求項8】 チップ上に、外部から与えられる電源電圧を降圧する降圧回路と、

前記電源電圧に依存しない電圧を発生する基準電圧発生回路と、

半導体記憶装置が試験モードにエンタリーしたかしないかによって状態が切り替る互いに相補の2つの信号を出力するテスト回路と、

前記電源電圧を昇圧する回路と、

外部との電気的接続のための複数のパッドと、

前記降圧回路の出力点と前記複数のパッドの内の一つのパッドとの間に電流経路をなすように接続された第1のnチャネル型MOS電界効果トランジスタと、

前記基準電圧発生回路の出力点と前記一つのパッドとの間に電流経路をなすように接続された第2のnチャネル型MOS電界効果トランジスタと、

前記昇圧回路の出力点と前記第1のnチャネル型MOS電界効果トランジスタのゲート電極との間に電流経路をなすように接続されたアナログスイッチであって、開閉が前記テスト回路の一方の出力信号によって制御されるアナログスイッチと、

前記昇圧回路の出力点と前記第2のnチャネル型MOS電界効果トランジスタのゲート電極との間に電流経路をなすように接続されたアナログスイッチであって、開閉が前記テスト回路の他方の出力信号によって制御されるアナログスイッチとを備えることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に

(3)

特開2001-153924

3

関し、特に、チップ上のパッド数を削減するのに有効な技術に関する。

【0002】

【従来の技術】近年、半導体記憶装置の大容量化は著しく、これに伴って、チップ内の各種回路やメモリセルを構成するMOSトランジスタは、ゲート幅やゲート長などの平面寸法も、ゲート酸化膜厚などの立体的な寸法も微細化されている。また、メモリセルの一構成要素であるキャパシタにあっては、面積の縮小にも拘らず容量を確保するために、誘電体膜厚が薄膜化されている。

【0003】上述のような微細化、薄膜化された素子により回路を構成する大容量の記憶装置においては、例えばMOSトランジスタのゲート絶縁膜やキャパシタの誘電体膜の破壊や劣化あるいは、短チャネルMOSトランジスタのソース・ドレイン間に高電界が加わることによるトランジスタ特性の悪化などを防止し、延いては記憶装置の信頼性を確保するために、素子に加わる電界を低くするべく、チップ内で実際に回路を動作させる電源電圧（内部電源電圧）を、記憶装置の外部から供給される電源電圧（外部電源電圧）より低くすることが行なわれ、そのために、外部電源電圧を所定の内部電源電圧まで下げる降圧回路を備えている。また、降圧させるときに基準として用いる電圧を得るために、外部電源電圧に依存しない一定の電圧（基準電圧）を発生するための基準電圧発生回路を備えている。

【0004】図6に、半導体記憶装置における外部電源電圧 V_{cc} と、内部（降圧）電源電圧 V_{int} と、基準電圧 V_{ref} の関係の一例を示す。図6において、横軸は外部電源電圧 V_{cc} を表し、縦軸は各電圧 V_{cc} 、 V_{int} 、 V_{ref} を表す。図6に示すように、基準電圧 V_{ref} は、外部電源電圧 V_{cc} が低いあいだは外部電源電圧 V_{cc} に比例し、外部電源電圧の或る値 V_{cc1} 以上では外部電源電圧に関わりなく一定になる。一方、内部電源電圧 V_{int} は、外部電源電圧が V_{cc1} 以下の低い領域では外部電源電圧 V_{cc} と同じ値となり、外部電源電圧が $V_{cc1} \sim V_{cc2}$ の範囲では基準電圧 V_{ref} によって決まる一定値を保つ。更に、外部電源電圧が V_{cc2} 以上の領域では外部電源電圧に比例する直線となる。半導体記憶装置においては、顧客に対して、外部電源電圧が $V_{cc1} \sim V_{cc2}$ の範囲で動作を保証するのが一般的であり、外部電源電圧が V_{cc2} 以上の領域は、製造工程中で記憶装置に動作保証範囲以上の温度と電圧を同時に加えて初期故障をスクリーニングする、いわゆるBT（バイアス・テンペレチャー）試験の際に用いられる。

【0005】ところで、上述した基準電圧発生回路の出力電圧 V_{ref} の値及び内部電源電圧としての降圧回路の出力電圧 V_{int} の値は、記憶装置の動作マージンや延いては記憶装置が正常に動作するかどうかを支配する重要な要因であるので、それらの値は正確に把握しておく必要がある。そこで、電圧を記憶装置の外部から直接測定

4

できるようにするために、基準電圧発生回路及び降圧回路それぞれの出力点をチップ上のパッド（チップ上に設けられた、チップの外部との接続用電極）に引き出しておかなければならない。その場合、従来、基準電圧発生回路の出力点はそれ専用のパッドに接続し、一方、降圧回路の出力点もそれ専用のパッドに接続するようにして、それぞれの出力電圧 V_{ref} 、 V_{int} を別々のパッドに出力することが一般的に行なわれている。尚、基準電圧 V_{ref} と降圧電源電圧 V_{int} とは、その電圧値が記憶装置の外部から測定できるようになってさえいれば十分であり、必ずしも両方同時に測定できなくても構わない。

【0006】図7に、上述のような従来の半導体記憶装置におけるチップの、レイアウトの一例を模式的に示す。図7を参照して、この図に示すチップ1Cには、テスト回路ブロック11Bと、基準電圧発生回路12と、降圧回路13の3つの回路ブロックが形成されており、チップの縁辺部には2つのパッド20、21が設けられている。勿論、チップ上には、これら3つの回路及び2つのパッドの他に、例えばメモリセルアレイや行・列のアドレスデコーダ及びドライバ或いは、センスアンプや入・出力回路等々の記憶動作に必要な各種の回路ブロックや、それらの回路ブロック間を接続する配線が形成されており、更には、各回路ブロックとチップの外部との間で入・出力信号をやり取りしたり或いは外部電源電圧 V_{cc} を受・給電するための数多くのパッドが形成されているが、説明を簡潔にするために、図示はしていない。

【0007】図7に示すチップ1Cにあっては、基準電圧発生回路12の出力点はパッド20に直結し降圧回路13の出力点はパッド21に直結して、基準電圧発生回路の出力電圧 V_{ref} はパッド20を介して、また降圧回路の出力電圧 V_{int} はパッド21を介して、それぞれ外部から測定できる。

【0008】テスト回路ブロック11Bは幾つかのテスト回路を含んでいて、外部から入力されるチップ選択信号CS、ロウ・アドレス・ストローブ信号RAS、カラム・アドレス・ストローブ信号CAS及びライトイネーブル信号WEが或る状態のときに記憶装置を試験モードにエントリさせ、そのときのアドレス信号Aをデコードした結果に応じてテスト回路ブロック11B中のどのテスト回路を活性化させるかによって、所望の機能試験を行えるようにする。このテスト回路ブロック11Bは、記憶装置が製品として出荷される迄の間に記憶装置の機能等を試験するために、半導体記憶装置に通常的に設けられる回路である。

【0009】

【発明が解決しようとする課題】上述したように、近年の半導体記憶装置における大容量化は著しく、そのためにMOSトランジスタやキャパシタのような素子や回路ブロック間の配線などは非常に微細化され、記憶動作に

(4)

特開2001-153924

6

5 必要な回路ブロックやメモリセルアレイなどのいわゆる内部回路の面積は縮小傾向にある。ところが、チップ上に設けられるパッドの方は、更にその先、例えばワイヤボンディングなどによって、パッケージに設けられる例えばリード端子のような外部接続端子に接続されるものであって、その外部接続端子との接続構造或いは工法の関係上、面積を現状より縮小することは困難な状況にある。その結果、チップの面積はパッドの数に大きく左右されるようになってきている。

【0010】ところが、従来の半導体記憶装置は、必ずしも両方同時に測定する必要のない基準電圧 V_{ref} と内部電源電圧 V_{DD} のために、それぞれ専用の2つのパッドを設けている。そこで、それら2つのパッドを1つのパッドで共用できれば、チップの面積をその分縮小できることになる。

【0011】従って本発明は、チップ上に降圧回路と、基準電圧発生回路と、テスト回路ブロックと、チップの外部との接続のための複数のパッドとを少なくとも備える半導体記憶装置において、基準電圧発生回路の出力電圧と降圧回路の出力電圧とを監視、測定するためのパッド数を削減することを目的とするものである。

【0012】

【課題を解決するための手段】本発明の半導体記憶装置は、チップ上に、外部から与えられる電源電圧を降圧する降圧回路と、前記電源電圧に依存しない電圧を発生させる基準電圧発生回路と、外部からの信号に応じて半導体記憶装置を試験モードに切り替えて半導体記憶装置の機能を試験するためのテスト回路ブロックと、チップの外部との電気的接続のための複数のパッドとを少なくとも備え、前記基準電圧発生回路の出力点と前記一のパッドとの間及び前記降圧回路の出力点と前記一のパッドとの間に各一に接続されたアナログスイッチと、半導体記憶装置が試験モードにエンタリーしたかしないかに応じて前記アナログスイッチの開閉を切り替える手段であって、一方のアナログスイッチの開閉と他方のアナログスイッチの開閉とが互いに相補を保つように切り替える切替手段とを有することを特徴とする。

【0013】

【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して説明する。図1は、本発明の第1の実施の形態に係る半導体記憶装置におけるチップのレイアウトの一例を模式的に示す図である。図1と図7とを比較して、本実施の形態に係るチップ1Aが従来の半導体記憶装置のチップ1Cと異なるのは、

①電圧測定用のパッドの数が1つ(パッド2)に減っていて、基準電圧発生回路12の出力電圧も降圧回路13の出力電圧も、同じ1つのパッド2を介して出力される点、

②基準電圧発生回路12の出力点とパッド2との間にpチャネル型MOSトランジスタ(pMOSトランジスタ

タ)P1が、また降圧回路13の出力点とパッド2との間にpMOSトランジスタP2が、それぞれ電流経路をなすように挿入されている点及び、

③テスト回路ブロック11Aに、上記のpMOSトランジスタP1、P2のオン、オフを制御するためのテスト回路14が増設されていることである。

【0014】pMOSトランジスタP1のゲート電極にはテスト回路14からの信号C1が入力され、一方、pMOSトランジスタP2のゲート電極には同じくテスト回路14からの信号C2がそれぞれ入力されている。2つの信号C1、C2は互いに相補の信号である。テスト回路14は、チップセレクト信号CS、ロウ・アドレス・ストローブ信号RAS、カラム・アドレス・ストローブ信号CAS及びライトイネーブル信号WEに応じて記憶装置が試験モードにエンタリーしたとき、アドレス信号A。をデコードした結果の信号によって活性化される回路であるが、その出力信号C1、C2は共に、テスト回路14が非活性状態にあるときと活性状態にあるときとで、互いに相補の関係を保ちながらレベルが入れ替わる。

【0015】図2に、本実施の形態における各信号の動作波形を示す。図2を参照して、時刻T10に、外部からチップ1Aに入力されているチップセレクト信号CS、ロウ・アドレス・ストローブ信号RAS、カラム・アドレス・ストローブ信号CAS及びライトイネーブル信号WEがハイレベルからロウレベルに変化すると、その直後のクロック信号CLKの立上り(時刻T11)で記憶装置は試験モードにエンタリーし、テスト回路14が活性化される。時刻T11以前は、記憶装置は通常の記憶動作モードにあって、テスト回路は非活性状態になっている。

【0016】いま、記憶装置が時刻T11以前の通常の記憶動作モードにあるときは、テスト回路14は非活性状態にあり、ハイレベルの信号C1とロウレベルの信号C2とを出力している。従って、pMOSトランジスタP1はオフ状態に、pMOSトランジスタP2はオン状態になっていて、パッド2には降圧回路13の出力である内部電源電圧 V_{DD} が出力されている。

【0017】時刻T11に記憶装置が試験モードにエンタリーすると、それと同時に、テスト回路14の出力信号C1がそれまでのハイレベルからロウレベルに移り、信号C2はロウレベルからハイレベルに移り、これにより、pMOSトランジスタP1がオフ状態からオン状態に切り替わり、pMOSトランジスタP2がオン状態からオフ状態に切り替わり、パッド2には基準電圧発生回路12の出力である基準電圧 V_{ref} が出力される。

【0018】本実施の形態によれば、試験モードへエンタリーさせてテスト回路14を活性化することで、1つのパッドで基準電圧発生回路の出力電圧と降圧回路の出

(5)

特開2001-153924

8

力電圧を切り替えて、直接測定することができる。その場合、チップセレクト信号CS、ロウ・アドレス・ストロブ信号RAS、カラム・アドレス・ストロブ信号CAS及びライトイネーブル信号WEもアドレス信号A、も、いずれも通常の記憶動作に必要な信号であるので、パッド2への出力電圧の切替えのために新たな制御信号が必要になったり、その入力のためにパッドが増加することはない。つまり、記憶装置全体として、パッドの数が1つ減る。

【0019】本実施の形態の場合、①pMOSTトランジスタが2つ(P1、P2)と、②テスト回路14と、③テスト回路14からpMOSTトランジスタP1、P2のゲート電極までの配線が増える。又、④アドレス信号A、のデコーダに、テスト回路14を選択して活性化、非活性化させる構成を追加する必要がある。しかしながら、それらのために必要な面積はパッド1つ当りの面積に比べて圧倒的に小さいので、チップ全体では、概略、パッド1つ分だけ面積を縮小できる。例えば、128メガビットなどの典型的な大容量DRAMでは、パッドは、1個当たり100 μ m \times 100 μ m程度の四角形をしたものが一般的である。これに対し、例えば128Mビット程度の大容量の記憶装置において、チップ内の内部回路を構成するMOSTトランジスタには、典型的には、チャンネル長が1.0 μ m、ゲート長が0.7 μ m程度のものが用いられる。そして、後述するように、テスト回路14は、せいぜい8個程度のMOSTトランジスタが構成でき、また、アドレス信号A、のデコーダの構成追加に必要なトランジスタも数個程度と見積られるので、上述のテスト回路14や上記①～④の理由で増加する面積は、パッド1個の数の数パーセントにしかない。しかも、パッドの場合は、チップの縁辺などに規則的に配列しなければならないことから、パッド数の増加は直ちにチップ面積に影響するのに対し、テスト回路のトランジスタやスイッチとしてのMOSTトランジスタP1、P2或いは配線などは、チップ上のデッド・スペースなどにレイアウトすることができるので、極論すればチップ面積に及ぼす影響はないといえる。

【0020】尚、本実施の形態においては、基準電圧発生回路12の出力点とパッド2との間及び、降圧回路13の出力点とパッド2との間に挿入するMOSTトランジスタにpチャンネル型のものを用いたが、これらのトランジスタをnチャンネル型MOSTトランジスタで構成することもできる。但し、その場合は、パッド2と基準電位発生回路12の出力点との間及び、パッド2と降圧回路13の出力点の間には、nMOSTトランジスタにおける所謂「しきい値落ち」(nMOSTトランジスタにおいて、ドレイン電圧とゲート電圧が与えられたとき、ソース電圧はゲート電圧からトランジスタのしきい値電圧を差し引いた電圧以上にはならない現象)による電位差が生じるので、基準電圧 V_{ref} 及び降圧電源電圧 V_{ref} を正確

に測定するには、測定したパッド2の電圧値にpMOSTトランジスタのしきい値電圧に基づく補正を加える必要がある。

【0021】次に、本発明の第2の実施の形態について説明する。図3は、本発明の第2の実施の形態に係る半導体記憶装置におけるチップの、レイアウトの一例を模式的に示す図である。図3と図1とを比較して、本実施の形態に係るチップ1Bが第1の実施の形態に係るチップ1Aと異なるのは、

①pMOSTトランジスタに替えて、nMOSTトランジスタN1、N2を用いている点、
②それらnMOSTトランジスタN1、N2のゲート電極に、昇圧回路15からの昇圧出力電圧 V_{cc} を、それぞれpMOSTトランジスタP3、P4を介して入力している点及び、
③上記pMOSTトランジスタP3、P4を、テスト回路14からの信号C1、C2で相補にオン、オフさせている点である。

【0022】昇圧回路15は、外部電源電圧 V_{cc} をこれより高い電圧 $V_{cc} + \alpha$ ($\alpha = V_{th}$)に昇圧する回路であって、例えば大容量のDRAMにおいて、1トランジスタ1キャパシタ構成のメモリセルからデータ線に読み出され或いはデータ線からメモリセルに書き込まれる信号電圧が、スイッチとしてのnMOSTトランジスタにおけるしきい値落ちによって低下してしまうのを防ぐために、ワード線に高い電圧を与えるためのものであって、従来、大容量の半導体記憶装置には欠かせない回路である。本実施の形態においては、そのような従来の半導体記憶装置に搭載されている昇圧回路をそのまま流用するので、昇圧回路15を特に新たに設ける必要はなく、これによるチップ面積の増加はない。

【0023】図4に、本実施の形態における各信号の動作波形を示す。図4を参照して、本実施の形態においても、第1の実施の形態におけると同様に、時刻T20においてロウ・アドレス・ストロブ信号RAS、カラム・アドレス・ストロブ信号CAS及びライトイネーブル信号WEがハイレベルからロウレベルに立ち下がった直後のクロック信号CLKの立上り(時刻T21)で、通常の記憶動作モードから試験モードにエン트리する。

【0024】いま、記憶装置が時刻T21以前の通常の記憶動作モードにあるときは、テスト回路14は非活性状態にあり、ハイレベルの信号C1とロウレベルの信号C2を出力している。従って、テスト回路14の出力点に接続されている2つのpMOSTトランジスタのうちトランジスタP3はオフ状態になっている。一方、pMOSTトランジスタP4はオン状態になっていて、パッド2に接続されているnMOSTトランジスタN2のゲート電極に、昇圧回路15の出力電圧 V_{cc} を伝達している。その結果、パッド2に接続されている2つのnMOSTト

(6)

特開2001-153824

9

ンジスタのうちトランジスタN1はオフ状態に、nMOSTランジスタN2はオン状態になっていて、パッド2には降圧回路13の出力である内部電源電圧 V_{int} が出力されている。このとき、nMOSTランジスタN2のゲート電極に印加されている昇圧回路15の出力電圧 V_{up} は、電源電圧 V_{cc} より高い $V_{cc} + \alpha$ の電圧に昇圧されているので、nMOSTランジスタN2におけるしきい値落ちはない。従って、パッド2には内部電源電圧 V_{int} がそのまま出力され、内部電源電圧 V_{int} の測定値に補正を加える必要はない。

【0025】次に、時刻T21に記憶装置が試験モードにエン트리すると、それと同時に、テスト回路14の出力信号C1がそれまでのハイレベルからロウレベルに遷移し、信号C2はロウレベルからハイレベルに遷移する。これにより、テスト回路14に接続されている2つのpMOSTランジスタのうちトランジスタP3はオフ状態からオン状態に切り替わり、pMOSTランジスタP4はオフ状態になる。その結果、パッド2に接続されている2つのnMOSTランジスタのうちトランジスタN1は、ゲート電極に昇圧回路15の出力電圧 V_{up} を与えられてオフ状態からオン状態に変化し、一方、nMOSTランジスタN2はオン状態からオフ状態に変化して、パッド2には基準電圧発生回路12の出力である基準電圧 V_{ref} が出力される。このとき、nMOSTランジスタN1のゲート電極には、電源電圧 V_{cc} より高い $V_{cc} + \alpha$ の電圧にされた昇圧回路15の出力電圧 V_{up} が印加されるので、nMOSTランジスタN1におけるしきい値落ちはない。従って、パッド2には基準電圧 V_{ref} がそのまま出力され、その測定値に補正を加える必要はない。

【0026】図5に、本実施の形態におけるテスト回路14の一例の回路図を示す。この図に示すテスト回路14は、アドレス信号A、のデコード出力がハイレベルのとき活性化され、デコード出力がロウレベルのときは非活性化状態にある。いま、デコード出力がロウレベルでテスト回路14が非活性化状態にあるとき、すなわち図4に示すタイミングチャートにおいて時刻T21以前の場合は、nMOSTランジスタN5がオン状態、N7がオフ状態で、pMOSTランジスタP4はオン状態になる。又、nMOSTランジスタN6がオフ状態、N8がオン状態で、pMOSTランジスタP3はオフ状態になる。従って、図3において、nMOSTランジスタN2は、pMOSTランジスタP4を介してゲート電極に昇圧電圧 $V_{up} = V_{cc} + \alpha$ を与えられるので導通し、降圧回路の出力電圧 V_{int} をパッド2に出力する。一方、nMOSTランジスタN1は、基準電圧発生回路12の出力点とパッド2との間を遮断する。

【0027】一方、デコード出力がロウレベルでテスト回路14が非活性化状態にあるとき、すなわち図4に示すタイミングチャートにおいて時刻T21以後は、nMO

10

STランジスタN5がオフ状態、N7がオン状態で、pMOSTランジスタP4はオフ状態になる。又、nMOSTランジスタN8がオン状態、N8がオフ状態で、pMOSTランジスタP3はオン状態になる。従って、図3において、nMOSTランジスタN1は、pMOSTランジスタP3を介してゲート電極に昇圧電圧 V_{up} を与えられるので導通し、基準電圧発生回路の出力電圧 V_{ref} をパッド2に出力する。一方、nMOSTランジスタN2は、降圧回路13の出力点とパッド2との間を遮断する。

10

【0028】一例として図5に示すテスト回路14は、当然、第1の実施の形態に係る記憶装置にも適用できる。但し、第2の実施の形態においては、第1の実施の形態におけると違って、昇圧電圧 V_{up} をオン、オフするので、テスト回路14中のnMOSTランジスタN5、N6には、高い電界が加わることを考慮して、ゲート幅が $3.0\mu\text{m}$ 程度、ゲート長が $1.0\mu\text{m}$ 程度の、第1の実施の形態におけるよりサイズの大きいトランジスタを用いる方が望ましい。また、第1の実施の形態に比べ、2つのpMOSTランジスタP3、P4が余分に必要である。従って、第1の実施の形態に比べ、それらの分面積が大きくなるが、その増加分はパッド1個の面積に比べて無視できる。

20

【0029】

【発明の効果】本発明によれば、基準電圧発生回路の出力電圧及び降圧回路の出力電圧の監視、測定のために従来2つ必要であったパッドを同じ1つのパッドで共用できるので、パッド数が減った分、チップ面積を縮小できる。

30

【0030】アナログスイッチには、pMOSTランジスタ或いはnMOSTランジスタを用いることができる。nMOSTランジスタをアナログスイッチとして用いるときは、nMOSTランジスタのしきい値落ち現象に基づく測定値の補正が必要になるが、その場合は、従来の記憶装置に通常搭載されている昇圧回路の出力電圧をアナログスイッチとしてのnMOSTランジスタのゲート電極に入力するように構成すれば、測定値の補正が不要になる。

【図面の簡単な説明】

40

【図1】本発明の第1の実施の形態に係る半導体記憶装置におけるチップのレイアウトの一例を模式的に示す図である。

【図2】第1の実施の形態における各信号の動作波形を示す図である。

【図3】本発明の第2の実施の形態に係る半導体記憶装置におけるチップのレイアウトの一例を模式的に示す図である。

【図4】第2の実施の形態における各信号の動作波形を示す図である。

【図5】テスト回路の一例の回路図を示す図である。

(7)

特開2001-153924

11

12

【図6】半導体記憶装置における、外部電源電圧と、内部電源電圧と、基準電圧との関係の一例を示す図である。

【図7】従来の技術による半導体記憶装置におけるチップのレイアウトの一例を模式的に示す図である。

【符号の説明】

1A, 1B, 1C チップ

* 2 バッド

11A, 11B テスト回路ブロック

12 基準電圧発生回路

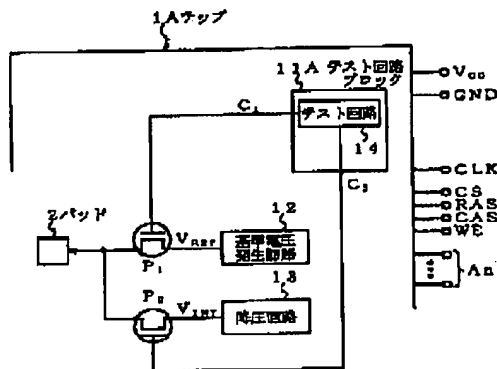
13 降圧回路

14 テスト回路

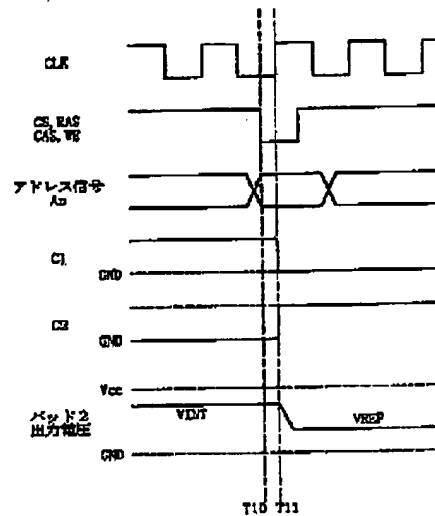
15 昇圧回路

* 20, 21 バッド

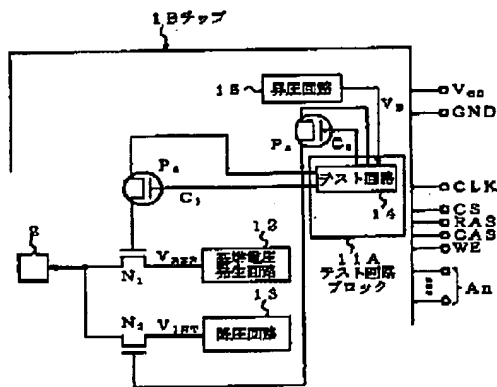
【図1】



【図2】



【図3】



【図4】

